

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-106383

(43) 公開日 平成8年(1996)4月23日

(51) Int.Cl.⁶

G 0 6 F 9/30

識別記号

3 1 0 C

3 3 0 B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1 F D (全 5 頁)

(21) 出願番号

特願平6-264640

(22) 出願日

平成6年(1994)10月4日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 神谷 了

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

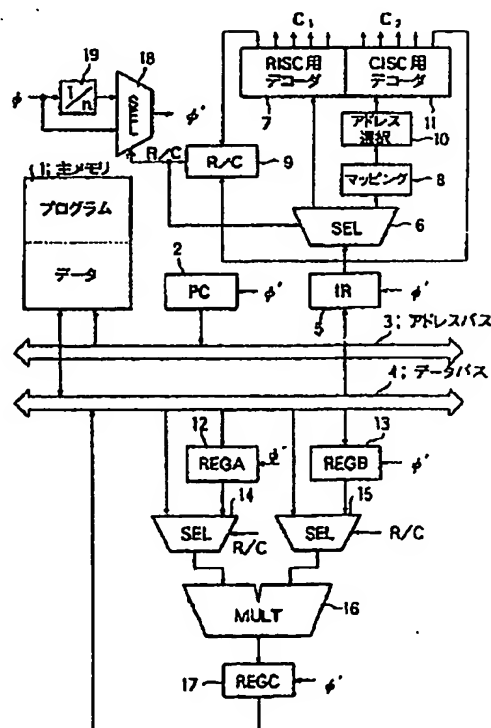
(74) 代理人 弁理士 伊丹 勝

(54) 【発明の名称】 演算処理装置

(57) 【要約】

【目的】 実行する処理の内容に応じて、最適なプログラミング、処理及び処理速度を選択する。

【構成】 縮小命令セットで記述された高速処理プログラムと高機能命令セットで記述された低速処理プログラムとを、速度切替命令を境として主メモリ1に記憶する。速度切替命令が実行されると、実行クロック ϕ' が切替えられると共に、命令セットが供給されるデコーダ7, 11が切替えられる。高速プログラム実行中には、乗算器16がパイプライン処理に基づく演算処理を実行する。また、低速プログラム実行中には、乗算器16が主メモリ1からダイレクトにデータを取り込む演算処理を実行する。



【特許請求の範囲】

【請求項1】 縮小命令セットで記述された高速処理プログラムと高機能命令セットで記述された低速処理プログラムとが速度切替命令を境として共存するプログラム及びこのプログラムによって処理されるデータを記憶する記憶手段と、

この記憶手段から読み出された前記速度切替命令に従って実行クロックの周波数を切替える実行クロック切替手段と、

前記実行クロックに従って前記記憶手段から順次命令セットを読み出す命令セット読出し手段と、

この命令セット読出し手段によって読み出された命令セットのうち前記縮小命令セットを解釈して第1の制御信号を出力する第1の命令解釈手段と、

前記命令セット読出し手段によって読み出された命令セットのうち前記高機能命令セットを解釈して第2の制御信号を出力する第2の命令解釈手段と、

前記記憶手段から読み出された前記速度切替命令に従って前記第1及び第2の命令解釈手段を切替える命令解釈切替手段と、

前記第1の制御信号に従ってパイプライン処理に基づく演算処理を実行すると共に、前記第2の制御信号に従って前記記憶手段からダイレクトにデータを取り込む演算処理を実行する演算手段とを備えたことを特徴とする演算処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、縮小命令セットコンピュータ（RISC）と高機能命令セットコンピュータ（CISC）とを共存させた演算処理装置に関する。

【0002】

【従来の技術】 従来より、マイクロプロセッサやデジタル・シグナル・プロセッサ（DSP）等の演算処理装置として、RISC型とCISC型とが知られている。RISC型の演算処理装置は、小数の単純な命令セットを用いて、細分化された実行ステップにより処理を実行するもので、個々の実行サイクルの短縮化と高速パイプライン処理とにより実行速度を高めたものである。この種の装置は、VLSI技術の発展と共に、より一層の高速化が図られている。これに対し、CISC型の演算処理装置は、高機能命令セットを用い、低速クロックにおいても実行効率がよく、電力に対するパフォーマンスが良いという利点がある。

【0003】

【発明が解決しようとする課題】 しかしながら、上述した従来の演算処理装置のうちRISC型のシステムでは、高級言語とマシン語との間のセマンティックギャップが大きく、アセンブラによる煩雑なプログラミングを必要とするという問題がある。また、プログラミングの効率化を図るためには最適化コンパイラに頼らざるを得

ず、所望する性能を引き出すことが難しい。更に、RISC型のシステムでは、パイプライン処理を前提としているため、プログラムに分岐を多く含む場合の実行効率が低下するという問題点もある。一方、従来のCISC型のシステムでは、高機能命令セットを使用してプログラミングの負担を軽減した分だけ、マクロ命令からマイクロ命令を生成するハードウェアの負担が増し、実行クロックをあまり速くすることができないという問題点がある。

【0004】 この発明は、このような問題点に鑑みなされたもので、実行する処理の内容に応じて、最適なプログラミング、処理及び処理速度を選択することができる演算処理装置を提供することを目的とする。

【0005】

【課題を解決するための手段】 この発明に係る演算処理装置は、縮小命令セットで記述された高速処理プログラムと高機能命令セットで記述された低速処理プログラムとが速度切替命令を境として共存するプログラム及びこのプログラムによって処理されるデータを記憶する記憶手段と、この記憶手段から読み出された前記速度切替命令に従って実行クロックの周波数を切替える実行クロック切替手段と、前記実行クロックに従って前記記憶手段から順次命令セットを読み出す命令セット読出し手段と、この命令セット読出し手段によって読み出された命令セットのうち前記縮小命令セットを解釈して第1の制御信号を出力する第1の命令解釈手段と、前記命令セット読出し手段によって読み出された命令セットのうち前記高機能命令セットを解釈して第2の制御信号を出力する第2の命令解釈手段と、前記記憶手段から読み出された前記速度切替命令に従って前記第1及び第2の命令解釈手段を切替える命令解釈切替手段と、前記第1の制御信号に従ってパイプライン処理に基づく演算処理を実行すると共に、前記第2の制御信号に従って前記記憶手段からダイレクトにデータを取り込む演算処理を実行する演算手段とを備えたことを特徴とする。

【0006】

【作用】 この発明によれば、縮小命令セットで記述された高速処理プログラムと高機能命令セットで記述された低速処理プログラムとを、速度切替命令を境として記憶手段に記憶しておく、速度切替命令が読み出され実行された時点から実行クロックが切替えられると共に、第1及び第2の命令解釈手段が切替えられる。この結果、高速プログラム実行中には、高速の実行クロックに従って縮小命令セットが読み出され、第1の命令解釈手段からの第1制御信号に従って、演算手段がパイプライン処理に基づく演算処理を実行する。また、速度切替命令によってプログラムが高速プログラムから低速プログラムに切替えられると、低速の実行クロックに従って高機能命令セットが読み出され、第2の命令解釈手段からの第2の制御信号に従って、演算手段が記憶手段からダイレ

3

クトにデータを取り込む演算処理を実行する。

【0007】実行クロックは、縮小命令セットの実行時と高機能命令セットの実行時のそれぞれにおいて、最も効率的に処理が行われるように、その速度を切替えることができるため、各プログラムの実行効率には十分に高められることになる。また、クロック及び命令セットの切替は、プログラム中で行うことができるので、プログラムは自由なタイミングで容易に命令セットを切替えることができる。

【0008】従って、この発明によれば、例えば、分岐が少なく高速性を必要とする処理については、縮小命令セットで高速プログラムを記述しておき、分岐が多く高速性を必要としない処理については、高機能命令セットで低速プログラムを記述しておくというように、処理の内容に応じて効率的なプログラミングと効率的な処理を選択することができる。

【0009】

【実施例】以下、図面を参照して、この発明の実施例を説明する。図1は、この発明の一実施例に係る演算処理装置のブロック図である。主メモリ1には、縮小命令セットで記述された高速プログラムと高機能命令セットで記述された低速プログラムとが速度切替命令を境として共存するプログラム、及びこのプログラムによって処理されるデータが記憶されている。主メモリ1から読み出される命令セットの読出しアドレスは、プログラムカウンタ(PC)2からアドレスバス3を介して主メモリ1に与えられる。主メモリ1から読み出された命令セットは、データバス4を介して命令レジスタ(IR)5にフェッチされる。命令レジスタ5にフェッチされた命令セットは、選択回路6によってRISC用デコーダ7及びマッピング部8のいずれか一方に供給される。いずれに供給されるかは、R/Cレジスタ9に格納されたR/Cフラグの値により決定されるが、縮小命令セットはRISC用デコーダ7に、また高機能命令セットはマッピング部8に供給される。

【0010】RISC用デコーダ7に縮小命令セットが供給されると、デコーダ7は命令セットを解釈して第1の制御信号C1を出力する。一方、マッピング部8に高機能命令セットが供給されると、マッピング部8は、供給されたマクロ命令である高機能命令セットから対応するマイクロ命令の先頭アドレスを出力する。この先頭アドレスは、アドレス選択部10に供給され、ここでマイクロ命令指定のためのアドレスが順次生成される。このアドレスはCISCデコーダ11に供給され、第2の制御信号C2が生成される。RISCデコーダ7に低速切替命令が供給されると、RISCデコーダ7は、R/Cレジスタ9のR/Cフラグを低速モードに書き換える。また、CISCデコーダ11に高速切替命令が供給されると、CISCデコーダ11は、R/Cレジスタ9のR/Cフラグを高速モードに書き換える。

4

【0011】一方、主メモリ1から読み出されたデータは、データバス4を介してレジスタ(REGA, REG B)12, 13及び選択回路14, 15の各一方の入力端子に供給される。レジスタ12, 13の出力は、選択回路14, 15の各他方の入力端子に供給される。選択回路14, 15は、R/Cフラグが低速モードに設定されている場合には、主メモリ1からの直接出力を選択し、R/Cフラグが高速モードに設定されている場合には、レジスタ12, 13の出力を選択する。選択回路14, 15の出力は、演算手段として例えば乗算器16に

入力される。乗算器16の出力は、レジスタ(REG C)17に格納され、更にデータバス4を介して主メモリ1に書き込まれるようになっている。

【0012】このシステムの実行サイクルの基準となるマスタークロックφは、選択回路18の一方の入力端に供給されると共に、分周回路19を介して選択回路18の他方の入力端に供給されている。選択回路18は、R/Cフラグが低速モードに設定されている場合には、分周回路19の出力を選択し、R/Cフラグが高速モードに設定されている場合には、マスタークロックφをそのまま選択する。選択回路18の出力が実行サイクルを決定する実行クロックφ'となり、各部に供給される。

【0013】次に、このシステムの動作について説明する。図2は、主メモリ1に記憶されるプログラムの一例を概略的に示す図である。このプログラムは、低速プログラム21、高速プログラム22、及び低速プログラム23をこの順に配置させたものである。低速プログラム21, 23は、高機能命令セットによって記述され、高速プログラム22は、縮小命令セットによって記述されている。低速プログラム21の最終行には、高機能命令セットで高速切替命令が記述されている。また、高速プログラム22の最終行には、縮小命令セットで低速切替命令が記述されている。

【0014】図3は、これら命令セットのより具体的な記述例を示したもので、メモリデータの乗算プログラムを縮小命令セットと高機能命令セットでそれぞれ記述した例である。図3(a)に示すように、縮小命令セットでメモリデータの乗算プログラムを記述すると、①主メモリ1のアドレスAD1のデータをレジスタ(REG A)12に格納するMOV命令、②主メモリ1のアドレスAD2のデータをレジスタ(REG B)13に格納するMOV命令、③REGA12とREGB13とを乗算してレジスタ(REG C)17に格納するMULT命令の3つの命令セットを記述する必要がある。これに対し、同図(b)に示すように、高機能命令セットでメモリデータの乗算プログラムを記述すると、主メモリ1のアドレスAD1のデータと、主メモリ1のアドレスAD2のデータとを乗算してREGC17に格納するMULT命令の1つで足りる。

【0015】いま、システムが低速モードに設定されて

いるとすると、実行クロック ϕ' は、マスタークロック ϕ を n 分周した低速クロックとなる。なお、分周比 $1/n$ については、低速モードで最大の処理効率を上げられる値、例えば $1/2$ に設定する。この低速クロックに従って主メモリ1から各命令セットが命令レジスタ5にフェッチされる。命令レジスタ5にフェッチされた命令セットは、CISC用デコーダ11によってデコードされる。低速モードでは、乗算器16の入力に直接データバス4上のデータを供給することができるので、選択回路14、15はデータバス4側を選択する。この場合、乗算器16には、2回に分けて主メモリ1のデータがセットされることになる。低速プログラムの実行中に、高速切替命令が与えられると、CISC用デコーダ11は、R/Cレジスタ9のR/Cフラグを高速モードに切替える。

【0016】R/Cフラグが高速モードに切替えられると、実行クロック ϕ' はマスタークロックと同じ速度の高速クロックとなり、選択回路6によりRISC用デコーダ7がアクティブになる。従って、命令セットは、高速で命令レジスタ5にフェッチされ、RISC用デコーダ7でデコードされる。なお、このモードでは、命令セットのフェッチ、デコード、演算、メモリアクセス等の各ステージがパイプライン化されることにより、高速化が図られる。また、このモードでは、主メモリ1から乗算器16にダイレクトにデータを供給することが速度的に不可能であるため、選択回路14、15は、レジスタ12、13側を選択し、主メモリ1からのデータは、一旦レジスタ12、13に格納されることになる。レジスタ12、13と乗算器16との間もパイプライン化されることにより、乗算のサイクルは1サイクルで足りるこ

とになる。

【0017】なお、以上のシステムでは、乗算器での乗算処理を例にとつて、この発明を説明したが、ALU（算術論理ユニット）等、他の演算処理部においても同様の切替動作が行われることはいうまでもない。

【0018】

【発明の効果】以上述べたように、この発明によれば、速度切替命令を境として高速プログラムと低速プログラムとを共存させ、高速プログラム実行中には、高速の実行クロックに従ってパイプライン処理に基づく演算処理が実行され、速度切替命令に従ってプログラムが高速プログラムから低速プログラムに切替えられると、低速の実行クロックに従って記憶手段からダイレクトにデータを取り込む演算処理を実行するので、処理の内容に応じて効率的なプログラミングと効率的な処理及び処理時間を簡単に選択することができる。

【図面の簡単な説明】

【図1】 この発明の一実施例に係る演算処理装置の構成を示すブロック図である。

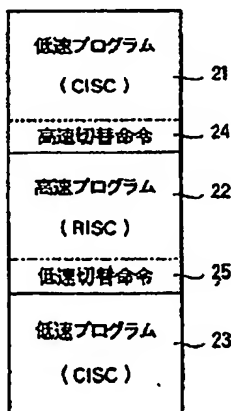
【図2】 同システムにおける主メモリに記憶されるプログラムの例を示す図である。

【図3】 縮小命令セットと高機能命令セットによるメモリ乗算処理の記述例を示す図である。

【符号の説明】

1…主メモリ、2…プログラムカウンタ、3…アドレスバス、4…データバス、5…命令レジスタ、6、14、15、18…選択回路、7…RISC用デコーダ、8…マッピング部、9…R/Cレジスタ、10…アドレス選択部、11…CISC用デコーダ、12、13、17…レジスタ、19…分周回路。

【図2】



【図3】

(a) $\left\{ \begin{array}{l} \text{MOV MEM(AD1)} \rightarrow \text{REGA} \\ \text{MOV MEM(AD2)} \rightarrow \text{REGB} \\ \text{REGA} * \text{REGB} \rightarrow \text{REGC} \end{array} \right.$

(b) $\text{MEM(AD1)} * \text{MEM(AD2)} \rightarrow \text{REGC}$

【図 1】

